

特 許 協 力 条 約

PCT

特許性に関する国際予備報告（特許協力条約第二章）

（法第12条、法施行規則第56条）  
〔PCT36条及びPCT規則70〕

REC'D 08 JUL 2004

WIPO

PCT

出願人又は代理人 の書類記号 E01477/3T514	今後の手続きについては、様式PCT/IEPA/416を参照すること。	
国際出願番号 PCT/JP03/10584	国際出願日 (日.月.年) 21.08.2003	優先日 (日.月.年) 22.08.2002
国際特許分類 (IPC) Int. Cl <sup>7</sup> H04H5/00		
出願人 (氏名又は名称) 株式会社豊田自動織機		

1. この報告書は、PCT35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。  
法施行規則第57条（PCT36条）の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 6 ページからなる。

3. この報告には次の附属物件も添付されている。

a ☐ 附属書類は全部で \_\_\_\_\_ ページである。

☐ 補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び／又は図面の用紙（PCT規則70.16及び実施細則第607号参照）

☐ 第I欄4.及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙

b ☐ 電子媒体は全部で \_\_\_\_\_（電子媒体の種類、数を示す）。  
配列表に関する補充欄に示すように、コンピュータ読み取り可能な形式による配列表又は配列表に関連するテーブルを含む。（実施細則第802号参照）

4. この国際予備審査報告は、次の内容を含む。

☒ 第I欄 国際予備審査報告の基礎

☐ 第II欄 優先権

☐ 第III欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成

☐ 第IV欄 発明の単一性の欠如

☒ 第V欄 PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明

☐ 第VI欄 ある種の引用文献

☐ 第VII欄 国際出願の不備

☒ 第VIII欄 国際出願に対する意見

国際予備審査の請求書を受理した日 26.02.2004	国際予備審査報告を作成した日 18.06.2004	
名称及びあて先 日本国特許庁 (IEPA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 川口 貴裕	5 J 3055
電話番号 03-3581-1101 内線 3534		

様式PCT/IEPA/409 (表紙) (2004年1月)

## 第I欄 報告の基礎

1. この国際予備審査報告は、下記に示す場合を除くほか、国際出願の言語を基礎とした。

☐ この報告は、\_\_\_\_\_語による翻訳文を基礎とした。  
それは、次の目的で提出された翻訳文の言語である。

- ☐ PCT規則12.3及び23.1(b)にいう国際調査  
☐ PCT規則12.4にいう国際公開  
☐ PCT規則55.2又は55.3にいう国際予備審査

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☒ 出願時の国際出願書類

☐ 明細書

第 _____ ページ、	出願時に提出されたもの
第 _____ ページ*	付けて国際予備審査機関が受理したもの
第 _____ ページ*	付けて国際予備審査機関が受理したもの

☐ 請求の範囲

第 _____ 項、	出願時に提出されたもの
第 _____ 項*	PCT19条の規定に基づき補正されたもの
第 _____ 項*	付けて国際予備審査機関が受理したもの
第 _____ 項*	付けて国際予備審査機関が受理したもの

☐ 図面

第 _____ ページ/図、	出願時に提出されたもの
第 _____ ページ/図*	付けて国際予備審査機関が受理したもの
第 _____ ページ/図*	付けて国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☐ 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 第 \_\_\_\_\_ ページ/図  
☐ 配列表 (具体的に記載すること) \_\_\_\_\_  
☐ 配列表に関連するテーブル (具体的に記載すること) \_\_\_\_\_

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 第 \_\_\_\_\_ ページ/図  
☐ 配列表 (具体的に記載すること) \_\_\_\_\_  
☐ 配列表に関連するテーブル (具体的に記載すること) \_\_\_\_\_

\* 4. に該当する場合、その用紙に“superseded”と記入されることがある。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性(N)

請求の範囲

1-6

有

請求の範囲

無

進歩性(IS)

請求の範囲

有

請求の範囲

1-6

無

産業上の利用可能性(IA)

請求の範囲

1-6

有

請求の範囲

無

## 2. 文献及び説明(PCT規則70.7)

請求の範囲1, 2, 5

文献1: J P 62-200931 A (富士通テン株式会社)

1987.09.04

第3頁上右欄第6-19行,

第3頁下左欄第18行-第4頁上右欄第5行,

第1図, 第3図, 第4図 (ファミリーなし)

には、受信電界強度が所定範囲内にある時に該受信電界強度に応じたノイズ制御を行うDSP(10)(第3頁上右欄第6-19行、第3図)を備えるステレオ復調回路(第1図)において、

前記受信電界強度を示す信号である受信電界強度信号をAD変換するAD変換器

(9)(第3頁下左欄第20行-同頁上右欄第2行、第3頁下右欄第9-11行)

と、該AD変換器で得られたデジタル信号に基づき、前記ノイズ制御の制御量を決定する制御信号を出力するCPU(4)(第3頁下左欄第18行-第4頁上右欄第5行)とを具備する事項、および、

前記DSP(10)は、前記制御信号に応じて、段階的にノイズ制御を行う事項(第3頁下左欄第18行-第4頁上右欄第5行)が記載されている。

文献2: J P 11-163678 A (松下電器産業株式会社)

1999.06.18

第0001-0007段落, 第0023-0026段落, 第1図

(ファミリーなし)

には、デジタル信号処理において、処理するビット数の増加に伴いハードウェア量が増大することを避けることを目的として用いられる、ビット数を削減する(第0004段落)技術として、

デジタル信号に所定値 $(2^n - 1) / 2$ を加算器(103)(第0023段落)で加算することにより、デジタル信号を所定値分だけオフセットし、かつ、切り捨て処理部(105)(第0023段落)で前記オフセットされたデジタル信号の下位nビットを切り捨てる技術が記載されている。

(補充欄に続く)

## 第Ⅷ欄 国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付けについての意見を次に示す。

この出願の請求の範囲 3, 4 および 6 は、以下に示す理由により、明細書により十分な裏付けをされていない。

請求の範囲 3 には、「受信電界強度信号」を所定値だけオフセットする事項、および、「オフセットされた信号」をゼロバイアスと比較する事項が記載されている。

しかしその一方で、明細書には、「受信電界強度信号を AD 変換したデジタル信号」を所定値だけオフセットする（必要であれば更にビットを切り捨てる）事項、および、「オフセットされたデジタル信号を DA 変換したアナログ信号」をゼロバイアスと比較する事項が記載されている（明細書第 16 頁第 13 行—同第 17 頁第 9 行）。

すなわち、明細書には、「受信電界強度信号」をオフセットする事項、および、「オフセットされた信号」をゼロバイアスと比較する事項が、いずれも記載されていないから、請求の範囲 3 は、明細書により十分な裏付けをされていない。

請求の範囲 6 についても、同様である。

また、請求の範囲 3 を引用している請求の範囲 4 についても、同様である。

本願発明が解決しようとする課題や発明の効果を鑑みれば、どの時点でデジタル信号処理がなされ、またどの時点でアナログ信号処理がなされているかを明確にすることは、技術的に非常に重要な意味を持つと認められる。

## 補充欄

いずれかの欄の大きさが足りない場合

## 第 V 欄の続き

(請求の範囲 1, 2, 5 の続き)

文献 1 と文献 2 は、いずれも、デジタル信号処理を行っているという点において共通しており、デジタル信号処理の分野において、ハードウェア量の増大を防止するという課題は、当業者が当然に追求すべき自明の課題である。

これらのことから、上記自明の課題に基づいて、文献 1 に記載の AD 変換器から出力されるデジタル信号に、文献 2 に記載されたオフセット処理および切り捨て処理を施すことは、当業者であれば容易になし得るものである。

なお、オフセット処理および切り捨て処理におけるパラメータ (n) を具体的にどのような値とするかは、対象となる制御に要求される粗さに応じて当業者が適宜決めるべきものであるから、上記請求の範囲と文献 2 との間に存在するオフセット処理および切り捨て処理に係る具体的なパラメータの差異をもって、上記請求の範囲の進歩性を認めることはできない。

よって、請求の範囲 1, 2 および 5 は、いずれも、文献 1 および 2 により、進歩性を有しない。

## 請求の範囲 3, 6

文献 3 : JP 6-315016 A (三洋電機株式会社)

1994. 11. 08

第 0026-0028 段落、第 0033-0036 段落、

第 2 図、第 3 図、第 6 図 (ファミリーなし)

には、受信電界強度が所定範囲内にある時に該受信電界強度に応じたノイズ制御を行うマルチプレクス回路 (22) (第 6 図) を備えるステレオ復調回路において、受信電界強度信号を A/D 変換する A/D 変換器 (66) (第 0033 段落、第 6 図) と、

前記 A/D 変換されたデジタル信号を処理するマイクロコンピュータ (26) (第 0033 段落、第 6 図) と、

前記処理されたデジタル信号を D/A 変換する D/A 変換器 (36) (第 0035 段落、第 6 図) とを具備する事項、ならびに、

前記 D/A 変換されたアナログ信号を前記マルチプレクス回路 (22) に供給する事項 (第 0035 段落、第 6 図) が記載されている。

文献 4 : JP 3-29405 A (富士通株式会社)

1991. 02. 07

第 8 図、第 9 図 (ファミリーなし)

には、アナログ信号の利得可変回路において、アナログ入力信号 ( $V_{IN}$ ) を、ゼロバイアスと比較し、その差分を出力する事項が記載されている。

(更に補充欄に続く)

## 補充欄

いずれかの欄の大きさが足りない場合

## 第 V 欄の続き

## (請求の範囲 3, 6 の続き)

デジタル信号処理のハードウェア量の増大を防止することを目的として、文献 3 に記載された A/D 変換器 (66) が出力するデジタル信号に、文献 2 に記載されたオフセット処理を施すこと、ならびに、アナログ信号レベルを調整することを目的として、文献 3 に記載された D/A 変換器 (36) が出力するアナログ信号に、文献 4 に記載されたゼロバイアスと比較を行って差分を出力する処理を施すことは、いずれも、当業者が容易になし得るものである。

よって、請求の範囲 3 および 6 は、いずれも、文献 2-4 により、進歩性を有しない。

## 請求の範囲 4

上記文献 3 には、また、複数種類のノイズ制御を行う機能を有し、受信電界強度の範囲に応じて、前記複数種類のノイズ制御のうち、1 種類のノイズ制御を選択して実行する事項も記載されている (第 3 図)。

そして、請求の範囲 4 は、請求の範囲 3 を引用していることから、上述の請求の範囲 3 および 6 についての検討を鑑みれば、請求の範囲 4 は、文献 2-4 により、進歩性を有しない。

また、上記文献 3 に記載されている、受信電界強度の範囲に応じて複数種類のノイズ制御のうち 1 種類のノイズ制御を選択して実行することは、ステレオ復調回路の分野における周知の技術である。

文献 1 に記載のステレオ復調回路に、文献 3 に記載されているような上記周知の技術を適用することは、当業者であれば容易になし得るものである。

そして、請求の範囲 4 はまた、請求の範囲 1 も引用しており、上述の請求の範囲 1, 2 および 5 についての検討を鑑みれば、請求の範囲 4 は、文献 1-3 により、進歩性を有しない。

Translation

PATENT COOPERATION TREATY

PCT/JP2003/010584



PCT

INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY  
(Chapter II of the Patent Cooperation Treaty)

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference E01477/3T514	FOR FURTHER ACTION See Form PCT/IPEA/416	
International application No. PCT/JP2003/010584	International filing date (day/month/year) 21 August 2003 (21.08.2003)	Priority date (day/month/year) 22 August 2002 (22.08.2002)
International Patent Classification (IPC) or national classification and IPC H04H 5/00		
Applicant KABUSHIKI KAISHA TOYOTA JIDOSHOKKI		

- This report is the international preliminary examination report, established by this International Preliminary Examining Authority under Article 35 and transmitted to the applicant according to Article 36.
- This REPORT consists of a total of 7 sheets, including this cover sheet.
- This report is also accompanied by ANNEXES, comprising:
  - ☐ (sent to the applicant and to the International Bureau) a total of \_\_\_\_\_ sheets, as follows:
    - ☐ sheets of the description, claims and/or drawings which have been amended and are the basis of this report and/or sheets containing rectifications authorized by this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions).
    - ☐ sheets which supersede earlier sheets, but which this Authority considers contain an amendment that goes beyond the disclosure in the international application as filed, as indicated in item 4 of Box No. I and the Supplemental Box.
  - ☐ (sent to the International Bureau only) a total of (indicate type and number of electronic carrier(s)) \_\_\_\_\_, containing a sequence listing and/or tables related thereto, in computer readable form only, as indicated in the Supplemental Box Relating to Sequence Listing (see Section 802 of the Administrative Instructions).

- This report contains indications relating to the following items:

- ☒ Box No. I Basis of the report
- ☐ Box No. II Priority
- ☐ Box No. III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- ☐ Box No. IV Lack of unity of invention
- ☒ Box No. V Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- ☐ Box No. VI Certain documents cited
- ☐ Box No. VII Certain defects in the international application
- ☒ Box No. VIII Certain observations on the international application

Date of submission of the demand 26 February 2004 (26.02.2004)	Date of completion of this report 18 June 2004 (18.06.2004)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY

International application No.

PCT/JP2003/010584

## Box No. I Basis of the report

1. With regard to the language, this report is based on the international application in the language in which it was filed, unless otherwise indicated under this item.

- ☐ This report is based on translations from the original language into the following language \_\_\_\_\_, which is language of a translation furnished for the purpose of:
- ☐ international search (under Rules 12.3 and 23.1(b))
- ☐ publication of the international application (under Rule 12.4)
- ☐ international preliminary examination (under Rules 55.2 and/or 55.3)

2. With regard to the elements of the international application, this report is based on *(replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report)*:

- ☒ The international application as originally filed/furnished
- ☐ the description:
- pages \_\_\_\_\_, as originally filed/furnished
- pages\* \_\_\_\_\_ received by this Authority on \_\_\_\_\_
- pages\* \_\_\_\_\_ received by this Authority on \_\_\_\_\_
- ☐ the claims:
- pages \_\_\_\_\_, as originally filed/furnished
- pages\* \_\_\_\_\_, as amended (together with any statement) under Article 19
- pages\* \_\_\_\_\_ received by this Authority on \_\_\_\_\_
- pages\* \_\_\_\_\_ received by this Authority on \_\_\_\_\_
- ☐ the drawings:
- pages \_\_\_\_\_, as originally filed/furnished
- pages\* \_\_\_\_\_ received by this Authority on \_\_\_\_\_
- pages\* \_\_\_\_\_ received by this Authority on \_\_\_\_\_
- ☐ a sequence listing and/or any related table(s) – see Supplemental Box Relating to Sequence Listing.

3. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/figs \_\_\_\_\_
- ☐ the sequence listing (*specify*): \_\_\_\_\_
- ☐ any table(s) related to sequence listing (*specify*): \_\_\_\_\_

4. ☐ This report has been established as if (some of) the amendments annexed to this report and listed below had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/figs \_\_\_\_\_
- ☐ the sequence listing (*specify*): \_\_\_\_\_
- ☐ any table(s) related to sequence listing (*specify*): \_\_\_\_\_

\* If item 4 applies, some or all of those sheets may be marked "superseded."



## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP 03/10584

**V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement****1. Statement**

Novelty (N)	Claims	1-6	YES
	Claims		NO
Inventive step (IS)	Claims		YES
	Claims	1-6	NO
Industrial applicability (IA)	Claims	1-6	YES
	Claims		NO

**2. Citations and explanations**

Claims 1, 2 and 5

Document 1 (JP 62-200931 A (Fujitsu Ten Ltd.), 04 September 1987, page 3, upper right column, lines 6-19 and page 3, lower left column, line 18 to page 4, upper right column, line 5, and fig. 1, 3 and 4, (Family: none)) discloses a stereo demodulation circuit (fig. 1) equipped with a DSP (10) that conducts noise control according to the reception field intensity in cases when said reception field intensity falls within a predetermined range (page 3, upper right column, lines 6-19 and fig. 3). Therein, said stereo demodulation circuit is equipped with an A/D converter (9), which A/D converts the reception field intensity signal that expresses the aforementioned reception field intensity (page 3, lower left column, line 20 to upper right column, line 2 and page 3, lower right column, lines 9-11), and a CPU (4), which outputs a control signal that establishes the control variables for the aforementioned noise control on the basis of the digital signal that is obtained from said A/D converter (page 3, lower left column, line 18 to page 4, upper right column, line 5), and the aforementioned DSP (10) conducts noise control in stages according to the aforementioned control signal (page 3, lower left column, line 18 to page

4, upper right column, line 5).

Document 2 (JP 11-163678 A (Matsushita Electric Ind. Co., Ltd.), 18 June 1999, paragraphs 0001 to 0007 and 0023 to 0026, and fig. 1, (Family: none)) discloses the technical feature of reducing the number of bits during digital signal processing in order to prevent the increase in the amount of hardware that would normally accompany an increase in the number of bits to be processed (paragraph 0004). Therein, the digital signal is offset by a predetermined value  $[(2^n - 1) / 2]$  by adding the predetermined value to the digital signal by means of an adder (103) (paragraph 0023), and the lower n number of bits in the aforementioned offset digital signal are truncated by means of a truncation processing part (105) (paragraph 0023).

Document 1 and document 2 both relate to digital signal processing, and in the field pertaining to digital signal processing, the issue of preventing the amount of hardware from increasing would be obvious to a person skilled in the art.

Consequently, it would be easy for a person skilled in the art to subject the digital signal output from the A/D converter that is disclosed in document 1 to the offset processing and the truncation processing that are disclosed in document 2 in the light of the abovementioned obvious issue.

Furthermore, the specific values to be used as the parameters (n) for offset processing and truncation processing can be determined by a person skilled in the art, as appropriate, according to the roughness that is required of the control in question; therefore, the differences between the specific parameters for offset processing and truncation processing that are set forth in the abovementioned claims and those that are disclosed in document 2 cannot be considered to constitute an inventive

step in the abovementioned claims.

Therefore, claims 1, 2 and 5 do not involve an inventive step in the light of documents 1 and 2.

Claims 3 and 6

Document 3 (JP 6-315016 A (Sanyo Electric Co., Ltd.), 08 November 1994, paragraphs 0026 to 0028 and 0033 to 0036, and fig. 2, 3 and 6, (Family: none)) discloses a stereo demodulation circuit equipped with a multiplexing circuit (22) that conducts noise control according to the reception field intensity in cases when said reception field intensity falls within a predetermined range (fig. 6). Therein, said stereo demodulation circuit is equipped with an A/D converter (66), which A/D converts the reception field intensity signal (paragraph 0033 and fig. 6), a microcomputer (26), which processes the aforementioned A/D converted digital signal (paragraph 0033 and fig. 6), and a D/A converter (36), which D/A converts the aforementioned processed digital signal (paragraph 0035 and fig. 6), and the aforementioned D/A converted analog signal is supplied to the aforementioned multiplexing circuit (22) (paragraph 0035 and fig. 6).

Document 4 (JP 3-29405 A (Fujitsu Ltd.), 07 February 1991, fig. 8 and 9, (Family: none)) discloses a variable gain circuit for an analog signal, wherein the input analog signal ( $V_{IN}$ ) is compared with a zero-bias signal and the difference therebetween is output.

It would be easy for a person skilled in the art to subject the digital signal output by the A/D converter (66) that disclosed in document 3 to the offset processing that is disclosed in document 2 in order to prevent an increase in the amount of hardware for digital signal processing. Likewise, it would be easy for a person skilled in the art to conduct a process wherein the analog signal output by the D/A converter (36) that is disclosed

in document 3 is compared with a zero bias signal and the difference therebetween is output, as disclosed in document 4, in order to adjust the level of the analog signal.

Therefore, claims 3 and 6 do not involve an inventive step in the light of documents 2-4.

#### Claim 4

Document 3 discloses a configuration that is capable of conducting a plurality of types of noise control, wherein one type of noise control is selected for execution from among the aforementioned plurality of types of noise control according to the range of the reception field intensity (fig. 3).

In addition, claim 4 cites claim 3; therefore, claim 4 does not involve an inventive step in the light of documents 2-4 for the same reasons as indicated in relation to claims 3 and 6, above.

Furthermore, the feature of selecting one type of noise control for execution from among a plurality of types of noise control according to the range of the reception field intensity, which is disclosed in document 3, is well known in the technical field pertaining to stereo demodulation circuits.

Therefore, it would be easy for a person skilled in the art to apply the abovementioned well-known feature that is disclosed in document 3 to the stereo demodulation circuit that is disclosed in document 1.

In addition, claim 4 also cites claim 1; therefore, claim 4 does not involve an inventive step in the light of documents 1-3 for the same reasons as indicated in relation to claims 1, 2 and 5, above.

## VIII. Certain observations on the international application

The following observations on the clarity of the claims, description, and drawings or on the question whether the claims are fully supported by the description, are made:

Claims 3, 4 and 6 of the present application are not fully supported by the description, for the following reason.

Claim 3 discloses the features of offsetting the "reception field intensity signal" by a predetermined value, and of comparing the "offset signal" with a zero bias signal.

However, the description discloses the features of offsetting the "A/D converted digital signal from the reception field intensity signal" by a predetermined value (and further truncating bits, if necessary), and of comparing the "D/A converted analog signal from the offset digital signal" with a zero bias signal (description, page 16, line 13 to page 17, line 9).

That is to say, the description does not disclose the feature of offsetting the "reception field intensity signal" or the feature of comparing the "offset signal" with a zero bias signal; therefore, claim 3 is not fully supported by the description.

Furthermore, the same is true of claim 6.

In addition, the same is true of claim 4, which cites claim 3.

In the light of the issue that the invention set forth in the present application is intended to solve and the effects of said invention, there is considered to be significant technical significance to clearly establishing the point in time at which digital signal processing is conducted and the point in time at which analog signal processing is conducted.